

一种高速宽带连续时间 Delta-Sigma 调制器设计

王轶彬, 韩晨曦, 李冬梅
(清华大学 电子工程系, 北京 100084)

摘 要: 利用 MATLAB SIMULINK 工具设计了一款高速连续时间 Delta-Sigma 调制器. 该调制器采用单环 3 阶 4 位量化带前馈结构, 设计指标为 14 位精度、2MHz 信号带宽. 通过对积分器运放有限直流增益(DC gain)、积分器运放有限增益带宽积(GBW)、额外环路延时(ELD)等电路非理想因素进行建模, 确定各非理想因素边界范围并提供电路级各模块设计指标. 在 UMC 180 nm 工艺下进行电路、版图设计及流片实现. 量化器中设计采用了一款高速、高精度、低噪声、带预放大级的动态锁存比较器. 调制器中采用一种低延时的动态元件匹配(DEM)结构来抑制 DAC 单元非线性失配对系统性能造成的影响. 通过电阻 R_{PI} 引入一条前馈路径来对额外环路延时(ELD)进行补偿. 电路级前仿真达到 13.5 bit 有效位数(ENOB), 核心面积约 0.1 mm², 优值(FOM)约为 220 fJ.

关键词: SIMULINK; 连续时间 Delta-Sigma 调制器; 动态原件匹配; 动态锁存比较器; ELD 补偿

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2014)12-0093-05

Design of a High-speed Wide-band Continuous-Time Delta-Sigma Modulator

WANG Yi-bin, HAN Chen-xi, LI Dong-mei

(Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: This paper presents a high-speed wide-band continuous-time (CT) Delta-Sigma (Δ - Σ) modulator. The modulator is modeled in MATLAB SIMULINK with a single-loop 3rd-order 4-bit quantization structure. By modeling non-ideal factors such as limited OPAMP DC gain, limited gain bandwidth product (GBW) and excess loop delay (ELD), design properties of circuit module are determined. The modulator is designed and implemented in UMC 180 nm process. High-speed dynamic latch comparator with low-noise and high-resolution is designed for quantization. Dynamic element matching (DEM) module with low latency is included to suppress DAC mismatching. A direct feedforward path is introduced by R_{PI} to compensate for excess loop delay (ELD). The modulator achieves a pre-layout 83 dB signal to noise distortion ratio (SNDR) with a figure of merit (FOM) of 220 fJ/conv-step and occupies 0.1 mm² active area.

Key words: SIMULINK; CT delta-sigma modulator; DEM; dynamic latch comparator; ELD compensation

1 引言

相比奈奎斯特采样的模数转换器(ADC)结构, 诸如逐次逼近(SAR), 流水线(Pipeline)等, Delta-Sigma(Δ - Σ)结构由于采用了过采样和噪声整形技术, 对器件匹配要求降低, 在高精度低速应用中被广泛采用. 随着蓝牙、宽带等通信技术的发展, 对于中

高速(>MHz)低功耗 ADC 的需求也水涨船高. 连续型(CT)结构的 Δ - Σ ADC 因其内建抗混叠特性、无需精确采样网络等特点, 结合 Δ - Σ 结构自身的优势, 在中高速、中高精度、低功耗应用中具有优势^[1].

目前, 连续时间 Δ - Σ 结构的研究热点主要集中在额外环路延时(ELD)补偿, 反馈数模转换器(DAC)非线性失配校准等领域. 本文设计一种适用

收稿日期: 2014-03-13; 修回日期: 2014-05-07

基金项目: 国家自然科学基金项目(61171001); 国家高技术研究发展计划(2012AA012301)

于连续时间 Δ - Σ ADC 的调制器结构, 2 MHz 的信号带宽适用于蓝牙、ADSL 通信等领域. 调制器通过 SIMULINK 进行系统模型搭建, 并确定各电路模块指标, 完成电路及版图设计; 采用一种低延时的动态原件匹配 (DEM) 模块抑制由 DAC 非线性带来的性能损失; 采用一种面积、功耗上具有优势的结构对 ELD 进行补偿.

2 调制器设计

结合 14 位精度、2 MHz 信号带宽的设计目标,

综合考虑功耗及稳定性, 使用 SIMULINK 工具箱进行系统建模如图 1(a) 所示, 经过迭代设计确定单环 3 阶 4 位量化带前馈的系统结构, 以 32 倍过采样比工作在 128 MHz 采样频率下. 通过 MATLAB 中 detsig 工具箱综合出离散域的系统传递函数 $H(z)$, 并通过冲激响应不变变换方法^[2], 确定连续域系统传递函数:

$$H(s) = \frac{1.0131(s^2 + 0.5689s + 0.1604)}{s(s^2 + 0.005783)} \quad (1)$$

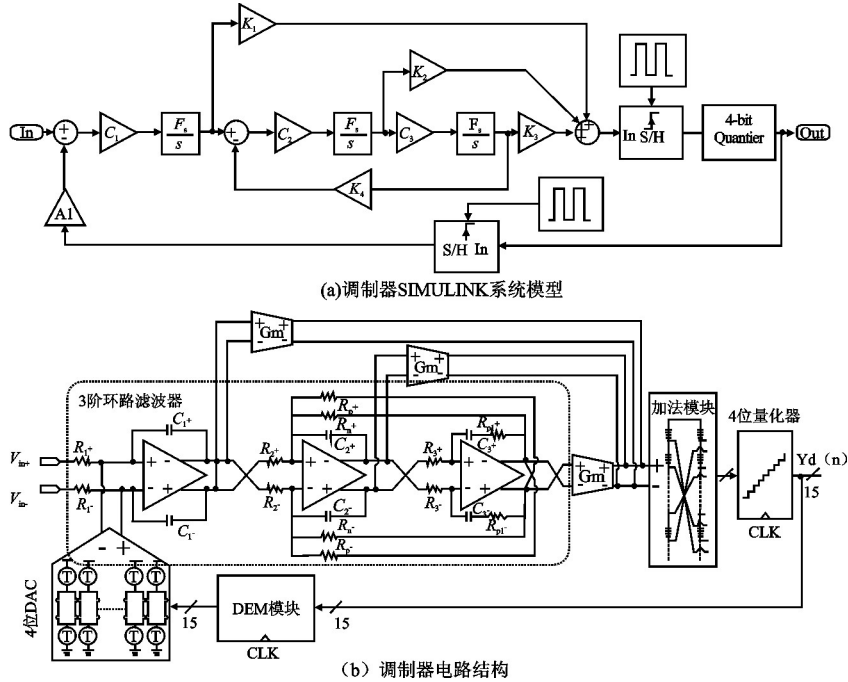


图 1 调制器 SIMULINK 系统模型及电路结构

把传递函数 $H(s)$ 与确定的系统结构进行映射, 考虑实际电路实现中信号摆幅限制, 优化并确定环路各系数为: $C_1 = 1.0131$, $C_2 = 0.2845$, $C_3 = 0.1359$; $K_1 = 1$, $K_2 = 2$, $K_3 = 4$, $K_4 = 0.1496$.

考虑到实际电路实现中存在许多非理想因素, 诸如积分器运放的非线性、量化器比较器的失调、反馈 DAC 的非线性失配、额外环路延时等等, 都会恶化调制器性能. 本设计中, 通过对非理想因素建模确定各电路模块性能边界, 从而在电路设计中选取适当的电路结构及非理想消除技术. 在 SIMULINK 中对考虑非理想因素后的模型进行仿真验证, SNR 达到 87.5 dB, 有效位数 14.3 位满足设计需求.

调制器整体电路结构如图 1(b) 所示. 积分器实现选取有源 RC 结构; 跨导单元 Gm 实现快速前馈通路并实现压流转换, 前馈的电流利用电阻链进行

求和实现高速加法功能; 4 位量化器由 15 个带前置放大器的动态锁存比较器组成, 将前级加法模块成对电压信号进行比较, 得到 15 位温度计码输出信号; 反馈通路通过 4 位电流舵型 DAC 实现, 并且通过前置的 DEM 模块对 DAC 的非线性失配进行补偿.

2.1 积分器设计及 ELD 补偿

积分器选取有源 RC 结构, 这种结构具有更好的线性度和更大的信号摆幅. 理想模型中忽略了积分器 RC 常数的偏移及积分器运放的非理想. 对积分器 RC 偏移、积分器运放有限直流增益及有限增益带宽积进行建模及分析, 确定积分器运放指标为 60 dB 直流增益, 200 MHz 单位增益带宽.

分析电路结构, 第一级积分器为主要电路噪声源, 为减小其电阻热噪声需要尽量减小积分电阻 R;

而为了减小功耗,积分电容 C 也需要尽量小. 由于时间常数 RC 已经由系统设计中的系数唯一确定,故需要综合考虑精度与功耗对 R 、 C 取值进行折中. 利用 SIMULINK 对 RC 常数偏差进行扫描,得到 RC 常数偏移对调制器信噪比影响如图 2(a) 所示. 分析可知, RC 常数偏移在 40% 内,对调制器性能影响较小,此结构对于 RC 常数偏移不敏感.

若积分器运放直流增益无穷大,传递函数为

$$H(s) = \frac{1}{\frac{1}{A_{DC}} + RC \cdot s} \xrightarrow{A_{DC} \rightarrow \infty} \frac{1}{RC \cdot s} \quad (2)$$

但在实际电路中有限的直流增益会使积分器的传递函数产生误差,并对整体调制器传递函数造成恶化,降低噪声整形能力. 模型中考虑有限直流增

益,在 MATLAB 中对 A_{DC} 参数进行扫描,可以得到 A_{DC} 与调制器信噪比 (SNR) 的对应关系如图 2(b) 所示. 考虑裕量,实际电路积分器运放 DC 增益需要 60 dB.

同理考虑积分器运放增益带宽积,理想模型中为无穷大,其传递函数为:

$$H(s) = \frac{1}{\frac{RC \cdot s^2}{GBW} + (RC + \frac{1}{GBW}) \cdot s} \xrightarrow{GBW \rightarrow \infty} \frac{1}{RC \cdot s} \quad (3)$$

对 GBW 参数进行扫描,得到 GBW 与 SNR 对应关系如图 2(c) 所示. 考虑裕量,实际电路积分器运放增益带宽积需要达到 1.5 倍采样频率,即约 200 MHz.

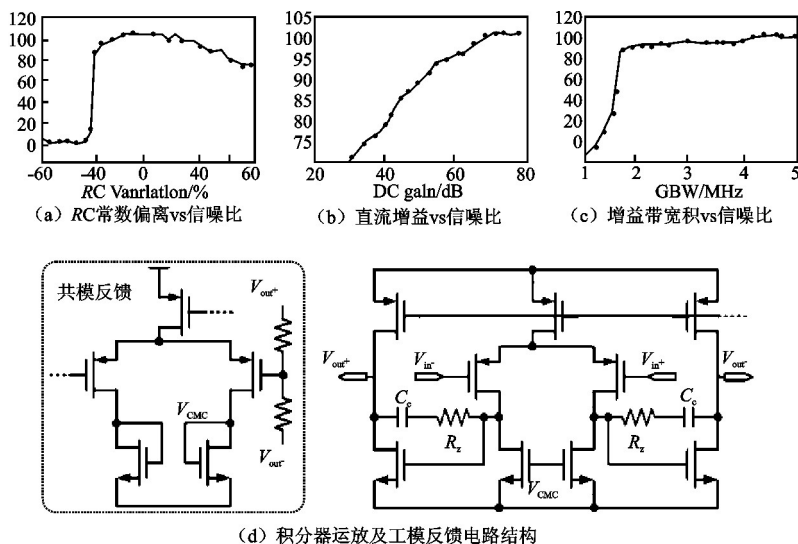
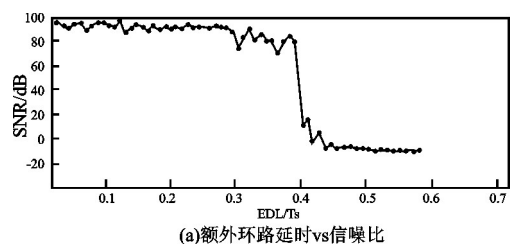


图 2 积分器非理想对信噪比影响及积分器运放电路结构

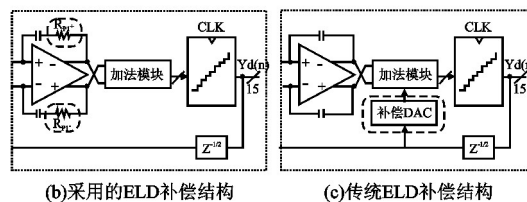
如图 2(d) 所示,结合确定的设计指标,积分器运放选取具有大输出信号摆幅的密勒补偿两级运放. 共模反馈环路由电阻分压器及误差放大器组成,用来稳定共模电平,抑制共模波动. 电阻 R_z 与密勒电容串联,用来改变此电容引入的右半平面零点位置,从而补偿零点对于相位裕度的恶化^[3]. 对所设计运放进行仿真,第一级运放 DC 增益达到 62 dB,单位增益带宽达到 400 MHz,相位裕度为 70 度. 后两级积分器非线性由于可以被环路增益抑制,故在设计中牺牲性能以降低功耗,设计单位增益带宽为 250 MHz.

高速 Delta-Sigma 调制器设计中,由于量化器、DEM 模块造成量化与反馈 DAC 间存在延时即为 ELD,对系统性能造成恶化. 对 ELD 建模得到其对于调制器性能(精度)的影响如图 3(a) 所示,ELD 需

要控制在 $0.4 T_s$ 之内,也即 2.35 ns.



(a) 额外环路延时 vs 信噪比



(b) 采用的 ELD 补偿结构

(c) 传统 ELD 补偿结构

图 3 ELD 对系统性能影响及 ELD 补偿

由于多位 DAC 的存在,需要利用 DEM 模块来

对 DAC 各单元的非线性失配进行补偿,而 DEM 模块会引入额外的延时,加上量化比较本身也存在延时,故需要对系统进行 ELD 补偿.传统的 ELD 补偿方法采用如图 3(c)所示的结构,量化器多出半个时钟周期用来完成比较,这半个时钟周期通过 DAC 在量化器周围引入直接回路来补偿^[4].由于增加了 DAC 及更复杂的加法器,这种结构引入了额外的面积和功耗成本.本文中设计采用图 3(b)中的 ELD 补偿电路结构,通过在最后一级积分器增加电阻 R_{PI} ,省去了 DAC 并简化加法器的设计,实现与传统方法等效的系统传输函数,在实现 ELD 补偿的同时具有低功耗、面积节省的优势^[5].

2.2 量化器比较器设计

本文利用跨导单元实现高速前馈通路,将各级积分器输出电压信号转化为电流信号,在电阻链中相加并转化回电压信号,以此实现高速加法功能,省去了复杂模拟加法器的设计.

综合考虑量化精度、速度及由 ELD 带来的性能恶化,设计了一款带两级前置预放大的动态锁存比较器,具有高精度、高速、低功耗的特点.如图 4(a)所示,一级静态前置放大器中采用交叉耦合管 M1a、M1b 用来提高单级放大增益,同时 M2a、M2b 实现电容中和,有效抑制时钟沿对前级电路带来的回踢噪声^[6].动态锁存比较器及二级动态预放大电路中采用虚拟开关技术来抑制时钟锁通效应带来的性能损失.比较器时域仿真结果如图 4(b)所示,比较器在 128 MHz 时钟频率下,建立时间为 500 ps,前仿真显示对于 1 μ V 的电压差能够完成比较.

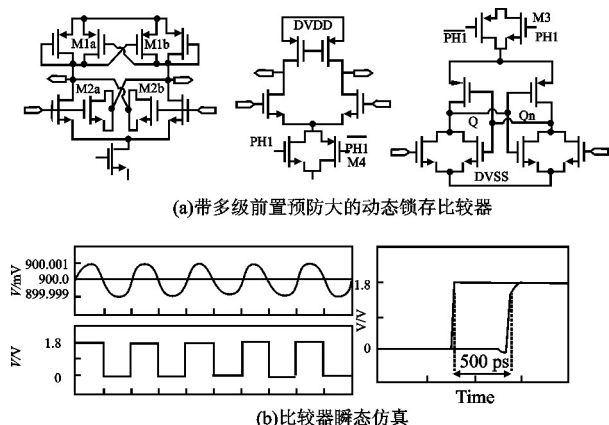


图 4 带前置放大的量化器电路及瞬态仿真

2.3 反馈 DAC 及 DEM 设计

由于 DAC 噪声及非线性失配直接反馈到调制器输入端,其非理想特性无法被环路滤波器抑制,是

整个系统电路噪声的组成之一.本文采用如图 5 所示的差分电流舵型 DAC 结构,由 15 个电流源单元组成,利用电流舵型 DAC 高速的特性,同时采用 cascode 电流镜结构,以提高 DAC 恒流特性及输出阻抗.量化输出的 15 位温度计码作为 DAC 电流源单元的开关控制码,控制差分输出端电流流入或流出第一级积分器运放的输入端.

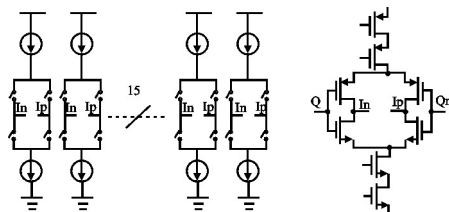


图 5 4 位电流舵型 DAC 及电流源单元结构

多位电流舵型 DAC 面临的重要挑战是各电流源单元间的非线性失配问题,常见的方法有对 DAC 电流源进行自动校准^[7]或是采用动态元件匹配技术抵消失配的影响.本设计采用了一种低延时的 DEM 结构. DEM 算法如图 6(a)所示,通过循环 DAC 单元的使用,平均化各单元误差,从而消除非线性失配对系统的影响. DEM 模块引入的信号路径延时会增加

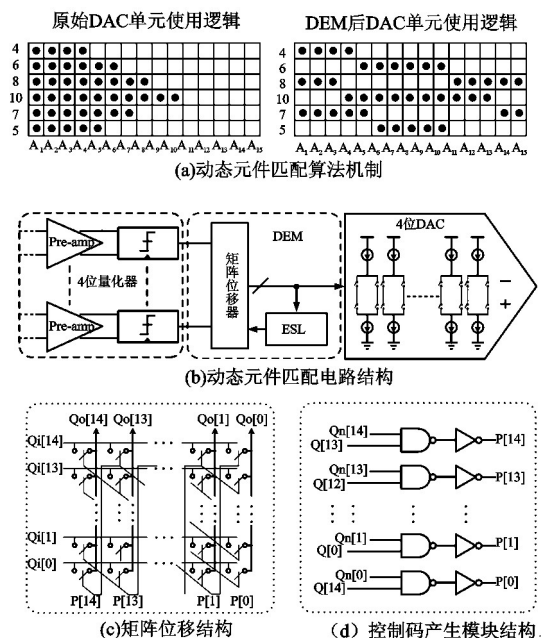


图 6 DEM 算法改变 DAC 单元使用逻辑

ELD 从而恶化调制器性能. DEM 结构如图 6(b)所示.通过信号传输路径上的 15×15 快速矩阵位移器实现 DAC 单元的逻辑旋转,同时把控制码产生模块(ESL)移到信号路径外以减少环路延

时^[8]. 具体的电路实现如图 6(c)、(d)所示.

3 版图设计及仿真结果

调制器版图设计在 UMC 180 nm 6 层金属 CMOS 工艺下完成. 整体布局保证差分信号对称, 并使数字和模拟电路隔离良好. 为防止 ELD 恶化, 在版图设计中尽量减少关键路径的走线长度, 并选用高层金属以减少金属与衬底间的寄生电容. 在关键器件外圈增加虚拟 dummy 管以保证器件匹配性^[9]. 如图 7(a) 版图核心模块总面积约为 0.1 mm^2 .

对调制器进行 SIMULINK 系统级仿真、版图前仿真及提取寄生参数后的版图后仿真. 如图 7(b) 所示, SIMULINK 模型有效位数为 14.3 位; 输入峰值为 1 动作 V、信号频率为 1.8 MHz 的差分正弦信号, 对输出信号做频谱分析, 前仿真 SNDR 达到 83 dB, 有效位数为 13.5 位, FOM 值为 220 fJ; 后仿真 SNDR 为 79 dB, 有效位数为 12.9 位, FOM 值为 360 fJ. 分析对比可知, 电路仿真有效位数的降低主要由于电路噪声抬高噪底; 版图后仿真有效位数降低主要由于寄生引起的环路延时增加.

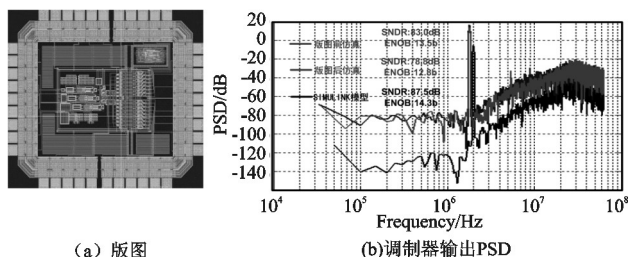


图 7 版图及调制器电路输出 PSD

4 结束语

本文针对在中高速、中高精度模数转换应用场景, 基于 MATLAB SIMULINK 设计了一款 14 位精度、适用于 2 MHz 信号带宽的连续时间 Delta-Sigma 调制器, 并在 UMC180 nm 工艺下完成电路及版图设计. 调制器采用带前馈的单环 3 阶滤波 4 位量化结构, SIMULINK 模型达到 14.3 位精度. 电路采用低延时高精度的动态锁存比较器实现量化,

并采用低延时 DEM 来抑制多位反馈 DAC 带来的非线性失配. 版图提参后仿真显示功耗约为 10 mW, 有效精度达到 12.9 位, FOM 值为 360 fJ, 基本达到设计目标.

参考文献:

- [1] Huang S, Lin Y. A 1.2V 2MHz BW0.084mm² CT Δ - Σ ADC with -97.7dBc THD and 80dB DR using low-latency DEM[J]. IEEE ISSCC Dig. Tech. Papers, 2009(2):172-173.
- [2] Cherry J A, Snelgrove Q M. Continuous-time delta-sigma modulator for high-speed A/D conversion—theory, practice and fundamental performance limits[M]. Boston: Kluwer academic publishers, 1999.
- [3] 池保勇. 模拟集成电路与系统[M]. 北京: 清华大学出版社, 2009: 285-295
- [4] Mitteregger G. A 14b 20mW 640MHz CMOS CT Δ - Σ ADC with 20MHz signal bandwidth and 12b ENOB[J]. IEEE ISSCC Dig. Tech. 2006(2):131-140.
- [5] Vadipour M, Chen C, Yazdi A, et al. A 2.1mW/3.2mW delay-compensated GSMW/CDMA Δ - Σ analog-digital converter[J]. Symp. VLSI Circuits, 2008(6): 180-181.
- [6] 李扬, 吴金荣, 刘磊, 等. 高精度 SC PIPELINED ADC 预放大锁存比较器的分析与设计[J]. 集成电路应用, 2012, 38(4): 49-52
- [7] Petrie C, Miller M. A background calibration technique for multibit delta-sigma modulators[C]// Proc. IEEE Int. Symp. Circuits Syst. Boston, MA, 2000: 29-32.
- [8] Jo J, Noh J, Yoo C. A 20-MHz bandwidth continuous-time sigma-delta modulator with jitter immunity improved full clock period SCR (FSCR) DAC and high-speed DWA[J]. IEEE J. Solid-States Circuits, 2010 (46): 2469-2477.
- [9] 拉扎维. 模拟 CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2003: 517-538.

作者简介:

王轶彬 男, (1988-), 硕士研究生. 研究方向为数模混合电路设计. E-mail: wangyibin126@163.com.